

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-150364

(43) 公開日 平成10年(1998) 6月2日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 M 1/08

H 0 3 M 1/08

Z

H 0 1 L 27/04

H 0 1 L 27/04

A

21/822

F

審査請求 未請求 請求項の数5 O L (全 6 頁)

(21) 出願番号

特願平8-305207

(22) 出願日

平成8年(1996)11月15日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 江川 貫治

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 塩地 正純

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

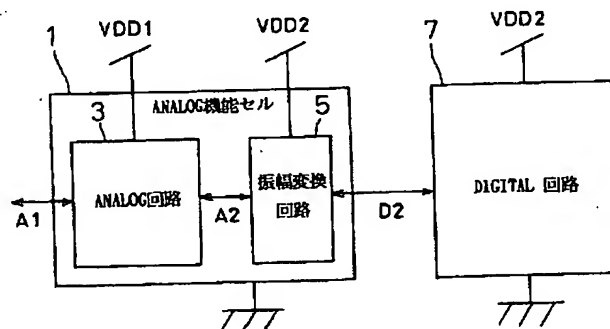
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 回路構成を簡単化して集積回路面積を最適化し、ANALOG電源にDIGITALノズルがのらない半導体集積回路を提供する。

【解決手段】 ANALOG回路(3)はANALOG信号(A1)を入力して電源電圧(VDD1)の基でANALOG処理し、ANALOG信号(A2)を振幅変換回路(5)へ出力する。ANALOG信号(A2)は電源電圧値(VDD1)でフル振幅していないので、振幅変換回路(5)が入力したANALOG信号(A2)を、電源電圧値(VDD2)でフル振幅するDIGITAL信号(D2)に変換し、DIGITAL回路(7)へ出力する。



【特許請求の範囲】

【請求項1】 アナログ機能ブロック内に設けられ、第1の電源電圧で駆動するアナログ信号処理手段と、同一ブロック内に設けられ、第2の電源電圧で駆動する振幅変換手段と、

前記第2の電源電圧で駆動するデジタル信号処理手段とを備えた半導体集積回路であって、

前記振幅変換手段は、前記アナログ信号処理手段から出力されるアナログ信号を、前記第2の電源電圧値で振幅するデジタル信号に変換して前記デジタル信号処理手段へ出力することを特長とする半導体集積回路。

【請求項2】 アナログ機能ブロック内に設けられ、第1の電源電圧で駆動するアナログ信号処理手段と、同一ブロック内に設けられ、第2の電源電圧で駆動する振幅変換手段と、

前記第2の電源電圧で駆動するデジタル信号処理手段とを備えた半導体集積回路であって、

前記振幅変換手段は、前記アナログ信号処理手段から出力されるアナログ信号の振幅を前記第2の電源電圧値の振幅に変換し、デジタル信号として前記デジタル信号処理手段へ出力するバッファ回路と、

該バッファ回路の駆動能力を前記第2の電源電圧値に応じて制御する駆動能力制御回路とから構成されることを特長とする半導体集積回路。

【請求項3】 前記バッファ回路は、前記アナログ信号処理手段から出力されるアナログ信号をゲート入力する第1のNチャネルトランジスタと、該第1のNチャネルトランジスタとGNDとの間をOFF接続する第2のNチャネルトランジスタと、前記第1のNチャネルトランジスタの出力端と前記第2の電源との間をON接続する第1のPチャネルトランジスタとから構成され、前記駆動能力制御回路は、前記第2の電源電圧値に応じてON/OFFする第2のPチャネルトランジスタと常にON状態にある第3のPチャネルトランジスタとが直列接続され、これら直列接続された第2および第3のPチャネルトランジスタが前記第1のPチャネルトランジスタに並列接続された構成であることを特長とする請求項2記載の半導体集積回路。

【請求項4】 アナログ機能ブロック内に設けられ、第1の電源電圧で駆動するアナログ信号処理手段と、同一ブロック内に設けられ、第2の電源電圧で駆動する振幅変換手段と、

同一ブロック内に設けられ、前記第1および第2の電源電圧間のESD耐圧を行うESD耐圧手段と、

前記第2の電源電圧で駆動するデジタル信号処理手段とを備えた半導体集積回路であって、

前記振幅変換手段は、前記アナログ信号処理手段から出力されるアナログ信号を、前記第2の電源電圧値で振幅するデジタル信号に変換して前記デジタル信号処理手段へ出力することを特長とする半導体集積回路。

【請求項5】 メモリ機能ブロック内に設けられ、第1の電源電圧で駆動するメモリ信号処理手段と、同一ブロック内に設けられ、第2の電源電圧で駆動する振幅変換手段と、

前記第2の電源電圧で駆動するデジタル信号処理手段とを備えた半導体集積回路であって、

前記振幅変換手段は、前記メモリ信号処理手段から出力されるアナログ信号を、前記第2の電源電圧値で振幅するデジタル信号に変換して前記デジタル信号処理手段へ出力することを特長とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ADCやDACのようにANALOG信号とDIGITAL信号とを変換処理する半導体集積回路に関するものである。

【0002】

【従来の技術】近年広く普及されているデジタルカメラやビデオ装置等では、ANALOG信号とDIGITAL信号とを変換処理するADCやDACが集積回路化されて内蔵されている。この回路構成の従来例を図5に示す。

【0003】図5で示すように、ANALOG機能セル(21)内に設けられたANALOG回路(23)とBUFFER回路(25)、およびLEVEL変換回路(27)、DIGITAL回路(29)から構成されている。ANALOG回路(23)とBUFFER回路(25)は電源電圧(VDD1)で、DIGITAL回路(29)は電源電圧(VDD2)で駆動し、LEVEL変換回路(27)は電源電圧(VDD1)、(VDD2)の両方を使用する。

【0004】このような構成において、ANALOG回路(23)から出力されるANALOG信号(A2)は電源電圧(VDD1)でフル振幅しておらず、BUFFER回路(25)によって電源電圧(VDD1)でフル振幅するDIGITAL信号(D1)に波形整形される。DIGITAL信号(D1)はLEVEL変換回路(27)によって電源電圧(VDD2)の振幅にLEVEL変換され、DIGITAL信号(D2)としてDIGITAL回路(29)へ出力される。

【0005】

【発明が解決しようとする課題】この様な従来の構成では、異なる電源電圧(VDD1)と(VDD2)との間でDIGITAL信号を受け渡すLEVEL変換回路(27)や、このLEVEL変換回路(27)で使用する2種類の電源が必要である。このため、これらを構成するためのトランジスタ数が多くなり、集積回路の面積が大きくなるという欠点があった。

【0006】また、異なる電源電圧(VDD1)と(VDD2)との間のESD耐圧を行うためのESD耐圧回路をANALOG機能セル(21)付近に配置すること

が出来ず、集積回路周辺部に配置していたため、本来周辺部に配置すべきバッファセルを犠牲にしなければならなかった。さらに、ANALOG電源(VDD1)で波形整形を行うため、ANALOG電源(VDD1)にDIGITALノズルがのりやすいという問題もあった。

【0007】そこで本発明の目的は、LEVEL変換機能やESD耐圧回路をANALOG機能セル内に設けるなど、回路構成を単純化することによって集積回路面積が最適化されると共に、ANALOG電源にDIGITALノズルがのらない半導体集積回路を提供することである。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の発明の特長は、アナログ機能ブロック内に設けられ、第1の電源電圧で駆動するアナログ信号処理手段と、同一ブロック内に設けられ、第2の電源電圧で駆動する振幅変換手段と、前記第2の電源電圧で駆動するデジタル信号処理手段とを備えた半導体集積回路であって、前記振幅変換手段は、前記アナログ信号処理手段から出力されるアナログ信号を、前記第2の電源電圧値で振幅するデジタル信号に変換して前記デジタル信号処理手段へ出力することにある。

【0009】この第1の発明によれば、アナログ信号処理手段駆動用の第1の電源とデジタル信号処理手段駆動用の第2の電源を共にアナログ機能ブロック内で用いているので、アナログ信号からデジタル信号への振幅変換をアナログ機能ブロック内で行うことがき、集積回路面積の最適化が可能となる。

【0010】第2の発明の特長は、アナログ機能ブロック内に設けられ、第1の電源電圧で駆動するアナログ信号処理手段と、同一ブロック内に設けられ、第2の電源電圧で駆動する振幅変換手段と、前記第2の電源電圧で駆動するデジタル信号処理手段とを備えた半導体集積回路であって、前記振幅変換手段は、前記アナログ信号処理手段から出力されるアナログ信号の振幅を前記第2の電源電圧値の振幅に変換し、デジタル信号として前記デジタル信号処理手段へ出力するバッファ回路と、該バッファ回路の駆動能力を前記第2の電源電圧値に応じて制御する駆動能力制御回路とから構成されることにある。

【0011】この第2の発明によれば、デジタル信号を出力するバッファ回路にこの駆動能力を制御する駆動能力制御回路を備えているので、デジタル信号処理手段駆動用の第2の電源電圧の値に応じて駆動能力を向上させることができる。

【0012】第3の発明の特長は、上記第2の発明において、前記バッファ回路は、前記アナログ信号処理手段から出力されるアナログ信号をゲート入力する第1のNチャネルトランジスタと、該第1のNチャネルトランジスタとGNDとの間をOFF接続する第2のNチャネルトランジスタと、前記第1のNチャネルトランジスタの

出力端と前記第2の電源との間をON接続する第1のPチャネルトランジスタとから構成され、前記駆動能力制御回路は、前記第2の電源電圧値に応じてON/OFFする第2のPチャネルトランジスタと常にON状態にある第3のPチャネルトランジスタとが直列接続され、これら直列接続された第2および第3のPチャネルトランジスタが前記第1のPチャネルトランジスタに並列接続された構成であることにある。

【0013】この第3の発明によれば、第2の電源電圧値が十分高い場合、第2のPチャネルトランジスタをOFFにしても、第1のPチャネルトランジスタだけでデジタル信号出力を駆動できる。逆に第2の電源電圧値が低い場合、第2のPチャネルトランジスタをONにすることで、第3のPチャネルトランジスタが第1のPチャネルトランジスタの駆動能力の低下を防ぐことができる。

【0014】第4の発明の特長は、アナログ機能ブロック内に設けられ、第1の電源電圧で駆動するアナログ信号処理手段と、同一ブロック内に設けられ、第2の電源電圧で駆動する振幅変換手段と、同一ブロック内に設けられ、前記第1および第2の電源電圧間のESD耐圧を行うESD耐圧手段と、前記第2の電源電圧で駆動するデジタル信号処理手段とを備えた半導体集積回路であって、前記振幅変換手段は、前記アナログ信号処理手段から出力されるアナログ信号を、前記第2の電源電圧値で振幅するデジタル信号に変換して前記デジタル信号処理手段へ出力することにある。

【0015】この第4の発明によれば、ESD耐圧回路をアナログ機能ブロック内に設けているので、集積回路周辺部のバッファセルを犠牲にすることがなくなり、レイアウトしやすくなる。

【0016】第5の発明の特長は、メモリ機能ブロック内に設けられ、第1の電源電圧で駆動するメモリ信号処理手段と、同一ブロック内に設けられ、第2の電源電圧で駆動する振幅変換手段と、前記第2の電源電圧で駆動するデジタル信号処理手段とを備えた半導体集積回路であって、前記振幅変換手段は、前記メモリ信号処理手段から出力されるアナログ信号を、前記第2の電源電圧値で振幅するデジタル信号に変換して前記デジタル信号処理手段へ出力することにある。

【0017】この第5の発明によれば、メモリ信号処理手段駆動用の第1の電源とデジタル信号処理手段駆動用の第2の電源を共にメモリ機能ブロック内で用いているので、アナログ信号からデジタル信号への振幅変換をメモリ機能ブロック内で行うことがき、集積回路面積の最適化が可能となる。

【0018】

【発明の実施の形態】以下、図面を引用しながら本発明の実施形態を説明する。図1に、本発明の第一実施形態の概略構成図を示す。ANALOG機能セル(1)内に

設けられたANALOG回路(3)と振幅変換回路

(5)、およびDIGITAL回路(7)から構成されており、ANALOG回路(3)には電源(VDD1)が供給され、振幅変換回路(5)とDIGITAL回路(7)には同じ電源(VDD2)が供給されている。

【0019】ANALOG回路(3)はANALOG信号(A1)を入力して電源電圧(VDD1)の基でANALOG処理し、ANALOG信号(A2)を振幅変換回路(5)へ出力するが、ANALOG信号(A2)は電源電圧値(VDD1)でフル振幅していない。振幅変換回路(5)は入力したANALOG信号(A2)を、電源電圧値(VDD2)でフル振幅するDIGITAL信号(D2)に変換し、DIGITAL回路(7)へ出力する。

【0020】図2は、図1で示した振幅変換回路(5)の詳細図である。振幅変換回路(5)はバッファ回路(5a)と駆動能力制御回路(5b)から構成されている。バッファ回路(5a)は、ANALOG回路(3)から出力されるANALOG信号(A2)の振幅を電源電圧値(VDD2)の振幅に変換し、DIGITAL信号(D2)としてDIGITAL回路(7)へ出力するものである。駆動能力制御回路(5b)は、電源電圧値(VDD2)に応じてバッファ回路(5a)の出力駆動能力を制御する役目をしている。

【0021】図2から分かるようにバッファ回路(5a)は、ANALOG信号(A2)をゲート入力するNch Transistor(N1)と、このNch Transistor(N1)とGNDとを直列接続するNch Transistor(N2)と、Nch Transistor(N1)の出力端と電源(VDD2)とを直列接続するPch Transistor(P1)とから構成されている。Pch Transistor(P1)とNch Transistor(N2)のゲートには、DIGITAL回路(7)から与えられるCLK=Lowが入力されているので、Pch Transistor(P1)は常にON状態、Nch Transistor(N2)は常にOFF状態にある。

【0022】駆動能力制御回路(5b)は、直列接続されたPch Transistor(P2)と(P3)がPch Transistor(P1)に並列接続された構成となっている。Pch Transistor(P3)のゲートには、Pch Transistor(P1)と同様にCLK=Lowが入力されているので常にON状態にある。Pch Transistor(P2)のゲートには、DIGITAL回路(7)から与えられる制御信号(Mode)が入力されているが、この制御信号(Mode)は電源電圧値(VDD2)に応じてHighあるいはLowに切り替えることができる。すなわち、電源電圧値(VDD2)に応じてPch Transistor(P2)をON/OFFさせることにより、バッファ回路(5a)の出力駆動能力を制御することができる。

【0023】このような構成とすることにより、集積回路全体の速度と消費電力のバランスを最適にできる。例

えば以下のような使い方が可能となる。

【0024】(1)DIGITAL回路(7)のspeedが遅く、集積回路全体のspeedがDIGITAL回路(7)のspeedに依存している場合
この様な場合は、 $VDD1 < VDD2$ となるような電源電圧にすることにより、Pch Transistor(P1)だけで出力(Dout)を駆動できるため、制御信号(Mode)をHighにしてPch Transistor(P2)をOFF状態にする。こうすることにより、CLK=Lowの状態でもPch Transistor(P3)に電流が流れなくなり、ANALOG機能セル(1)の消費電力を増加させることなく、DIGITAL回路(7)のPerformanceを上げることができる。

【0025】(2)ANALOG回路(3)のspeedが遅く、集積回路全体のspeedがANALOG回路(3)のspeedに依存している場合
この様な場合は、 $VDD1 > VDD2$ となるような電源電圧にすることにより、VDD2が低くなりPch Transistor(P1)だけで出力(Dout)を駆動できないため、制御信号(Mode)をLowにしてPch Transistor(P2)をON状態にする。これにより、Pch Transistor(P3)も出力(Dout)を駆動するので電源電圧(VDD2)の低下による出力駆動能力の低下を防ぐことができる。また、ANALOG機能セル(1)のPerformanceを落とすことなく、DIGITAL回路(7)の消費電力を下げることができる。

【0026】本発明の第二実施形態を図3に示す。図3は、図1で示したANALOG機能セル(1)内に異種電源間のESD耐圧回路(9)を備えたものである。本発明によるANALOG機能セル(1)においては、そのセル内に複数種類の電源(VDD1)、(VDD2)が供給されていることを利用し、従来周辺部に配置されていたESD耐圧回路(9)をセル内に持たせる事ができる。

【0027】ESD耐圧回路(9)は図3で示すように、Pch Transistor(P4)および(P5)のゲート・ドレインに電源(VDD1)および(VDD2)を接続し、ソース側をGND2およびGND1に接地している。ANALOG機能セル(1)内にESD耐圧回路(9)を設けることにより、任意の大きさのESD耐圧回路(9)を持たせることができ、集積回路面積の最適化が可能となる。

【0028】本発明の第三実施形態を図4に示す。第三実施形態は本発明を、MEMORYのセンスアンプのようにANALOG的な信号を出力するセルに応用した例である。MEMORY機能セル(11)内に設けられたMEMORYセル(13)とセンスアンプ(15)と振幅変換回路(5)、およびDIGITAL回路(7)から構成されており、センスアンプ(15)には電源(VDD1)が供給され、振幅変換回路(5)とDIGIT

AL回路(7)には同じ電源(VDD2)が供給されている。

【0029】センスアンプ(15)はMEMORYセル(13)から出力されるデータを入力して電源電圧(VDD1)の基でANALOG処理し、ANALOG信号(A2)を振幅変換回路(5)へ出力する。振幅変換回路(5)は入力したANALOG信号(A2)を、第一実施形態と同様に電源電圧値(VDD2)でフル振幅するDIGITAL信号(D2)に変換し、DIGITAL回路(7)へ出力する。

【0030】

【発明の効果】以上のように本発明の半導体集積回路によれば、LEVEL変換機能やESD耐圧回路をANALOG機能セル内あるいはMEMORY機能セル内に設けたので、回路構成を簡単化することができ、集積回路面積を最適化することができる。また、ANALOG電源にDIGITALノズルがのらない半導体集積回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の第一実施形態を説明するための概略構成図。

【図2】図1で示した第一実施形態の詳細図。

【図3】本発明の第二実施形態を説明するための構成

図。

【図4】本発明の第三実施形態を説明するための構成図。

【図5】従来技術を説明するための構成図。

【符号の説明】

1 ANALOG機能セル

3 ANALOG回路

5 振幅変換回路

5a バッファ回路

10 5b 駆動能力制御回路

7 DIGITAL回路

9 ESD耐圧回路

11 MEMORY機能セル

13 MEMORYセル

15 センスアンプ

VDD1, VDD2 電源

A1, A2 ANALOG信号

D2 DIGITAL信号

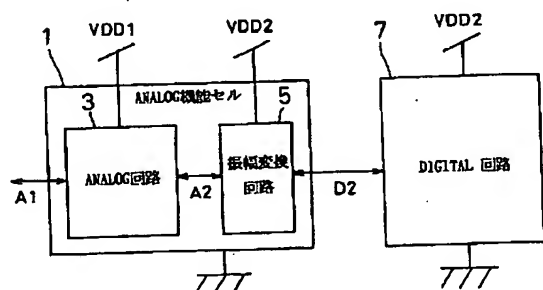
N1, N2 Nch Transistor

P1, P2, P3, P4, P5 Pch Transistor

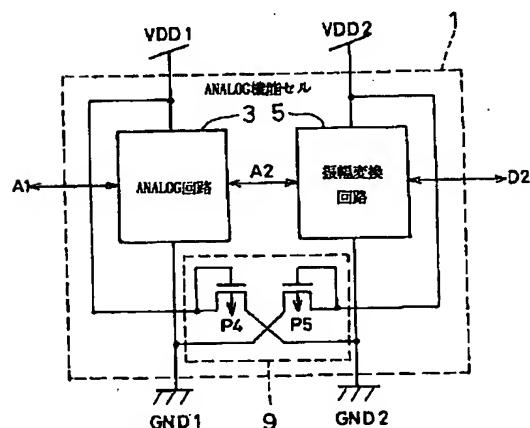
Mode 制御信号

Dout 出力

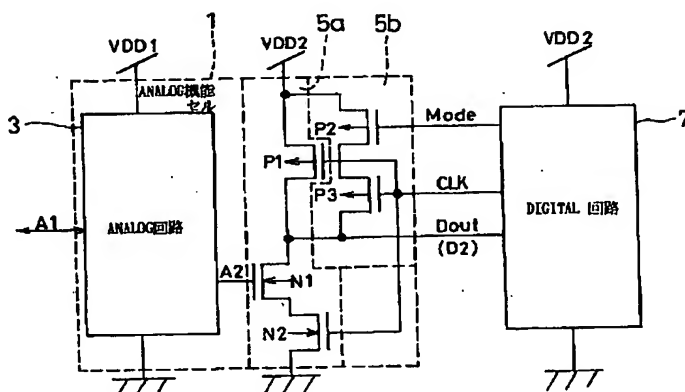
【図1】



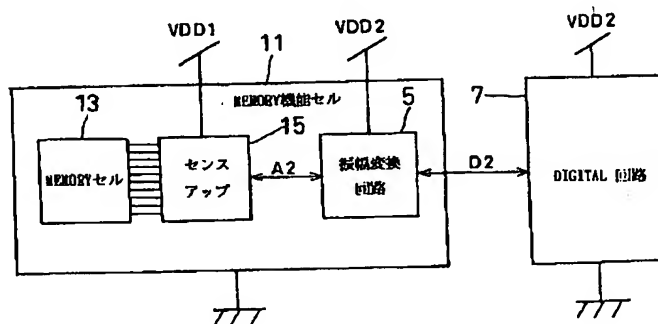
【図3】



【図2】



【図4】



【図5】

